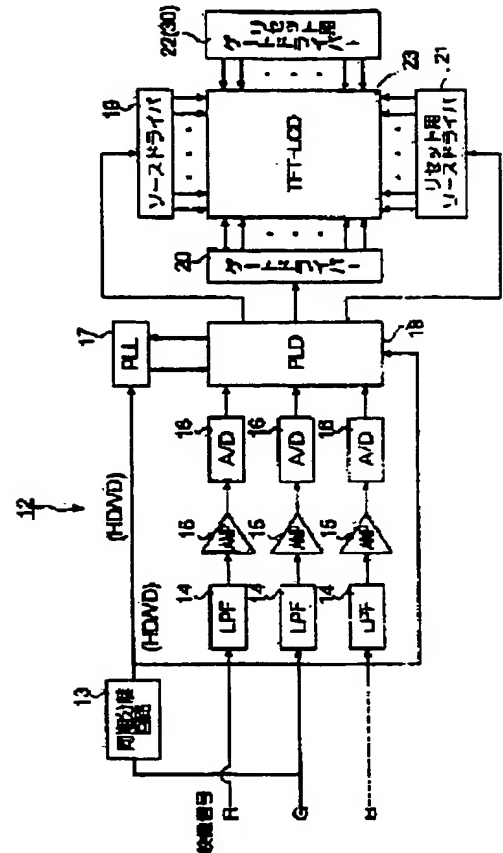


Patent Abstracts of Japan

**TITLE : LIQUID CRYSTAL DISPLAY DEVICE
AND ITS DRIVING METHOD**



COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-267070

(P2000-267070A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. ⁷	識別記号	F I	ページ数	ページ数	ページ数 (参考)
G 0 2 F 1/133	5 6 0	G 0 2 F 1/133	5 6 0	2 H 0 8 8	
1/141		G 0 9 G 3/20	6 2 3 B	2 H 0 9 3	
G 0 9 G 3/20	6 2 3	3/36		5 C 0 0 6	
3/36		G 0 2 F 1/137	5 1 0	5 C 0 8 0	

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平11-74612

(22) 出願日 平成11年3月18日 (1999.3.18)

(71) 出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72) 発明者 陳 国平

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72) 発明者 稲毛 文晃

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(74) 代理人 100064908

弁理士 志賀 正武 (外8名)

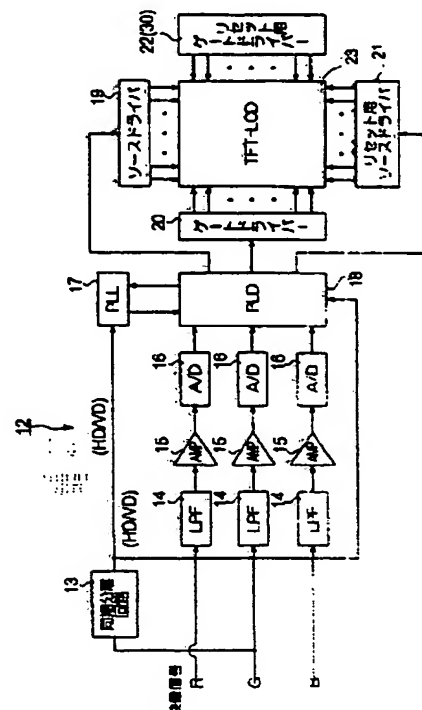
最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

【課題】 TL-AFLC自身が持つ応答速度の速さを生かし得る駆動回路を備えた液晶表示装置を提供する。

【解決手段】 本発明の液晶表示装置は、従来のソースドライバ19、ゲートドライバ20に加えて、1ゲート線上の全画素に映像信号を書き込むに際し、その1ゲート線上の全画素に映像信号を書き込む1H期間以前の複数の1H期間にわたって、前記1ゲート線の後段の複数のゲート線上の全画素に対してこれら全画素に印加されている電圧を書き込み前に予めリセットしておくためのリセット電圧を印加するリセット用ソースドライバ21、リセット用ゲートドライバ22を具備した駆動回路12を有している。



【特許請求の範囲】

【請求項1】 複数の信号線と複数の走査線とがマトリクス状に配設されて複数の画素が構成されたアクティブマトリクス基板と対向基板との間に反強誘電性液晶が挟持され、前記複数の信号線を駆動する信号線駆動手段と、前記複数の走査線を駆動する走査線駆動手段と、前記複数の走査線のうちの一走査線上の全画素に映像信号を書き込むに際し、前記一走査線上の全画素に映像信号を書き込む一水平期間以前であって該一水平期間と時間的に連続する複数の一水平期間にわたって、前記一走査線に隣接し前記一水平期間以降に映像信号が書き込まれる複数の走査線上の全画素に対してこれら全画素に印加されている電圧を書き込み前に予めリセットしておくためのリセット電圧を印加するリセット電圧印加手段とを具備した駆動回路を有することを特徴とする液晶表示装置。

【請求項2】 複数の信号線と複数の走査線とがマトリクス状に配設されて複数の画素が構成されたアクティブマトリクス基板と対向基板との間に反強誘電性液晶が挟持され、前記複数の信号線を駆動する信号線駆動手段と、前記複数の走査線を駆動する走査線駆動手段と、前記複数の走査線のうちの一走査線上の全画素に映像信号を書き込むに際し、前記一走査線上の全画素に映像信号を書き込む一水平期間以前であって該一水平期間と時間的に離間した複数の一水平期間にわたって、前記一走査線と離間し前記一水平期間以降に映像信号が書き込まれる複数の走査線上の全画素に対してこれら全画素に印加されている電圧を書き込み前に予めリセットしておくためのリセット電圧を印加するリセット電圧印加手段とを具備した駆動回路を有することを特徴とする液晶表示装置。

【請求項3】 前記リセット電圧印加手段において、一走査線上の全画素に対する前記リセット電圧の印加が開始されてから終了するまでのリセット時間と前記一走査線上の全画素に対して前記リセット電圧の印加が終了してから前記映像信号の書き込みが開始するまでの待ち時間との和が、1フレーム時間の $1/2$ 以下に設定されていることを特徴とする請求項2記載の液晶表示装置。

【請求項4】 複数の信号線と複数の走査線とがマトリクス状に配設されて複数の画素が構成されたアクティブマトリクス基板と対向基板との間に反強誘電性液晶が挟持された液晶表示装置を駆動する方法であって、前記複数の走査線のうちの一走査線上の全画素に映像信号を書き込むに際し、前記一走査線上の全画素に映像信号を書き込む一水平期間以前の複数の一水平期間にわたって、前記一水平期間以降に映像信号が書き込まれる複数の走査線上の全画素に対してリセット電圧を印加して前記全画素に印加されている電圧を予めリセットし、ついで、前記リセット電圧が印加された一走査線上の全画素に対して、使用する液晶材料で決まる階調電圧の1、

5倍以上の駆動電圧を印加して前記映像信号の書き込みを行うことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置およびその駆動方法に関し、特に、液晶材料として反強誘電性液晶を用いた液晶表示装置に好適な駆動回路と駆動方法に関するものである。

【0002】

【従来の技術】液晶表示装置(Liquid Crystal Display、以下、LCDと記すこともある)に用いられる液晶材料には様々な種類があるが、その一つに反強誘電性液晶(Anti-Ferroelectric Liquid Crystal)がある。反強誘電性液晶を用いたLCDでは、電界無印加時の反強誘電相と電界印加時の強誘電相との間で液晶分子を駆動して光を透過または遮断している。特に、しきい値を持たない反強誘電性液晶(Threshold-Less Anti-Ferroelectric Liquid Crystal、以下、TL-AFLCと略記する)は広視野角、高速応答等の面で優れた特性を持っている。TL-AFLCのV-T曲線(電圧-透過率特性曲線)は、図7に示すように、原点を中心として左右対称のV字型の特性を示す。液晶材料自体の応答時間を比べた場合、一例としてツイステッドネマティック(Twisted Nematic、以下、TNと略記する)液晶は数十ms e c、TL-AFLCは数十 μ s e c程度であり、TL-AFLCの方が3桁も応答速度が速い。

【0003】ところで、一般的なLCDの駆動方法に反転駆動がある。反転駆動は、液晶に印加する映像信号(電圧)の極性を交流電圧を用いて例えば1フレーム毎に正負反転させながら駆動する方法である。通常、1フレーム時間は約16ms e cであり、この時間内に全ての走査線を駆動するために各走査線毎に印加されるゲートパルスの幅は、走査線の本数により異なるが、例えばXGA用ディスプレイの場合、約16 μ s e cとなる。

【0004】

【発明が解決しようとする課題】ところが、液晶材料にTL-AFLCを用いたLCDに対して上記従来の反転駆動方式を適用すると、結果的に応答速度が遅くなり、動画残像が生じるという問題があった。その理由は、各走査線に印加されるゲートパルス幅が例えば16 μ s e cであるということは、各走査線毎の書き込み時間が16 μ s e cであることを意味する。そうすると、書き込み時間が16 μ s e cであるのに対し、TL-AFLCの応答時間が数十 μ s e c程度であるから、書き込み時間よりもTL-AFLCの応答時間の方が長い。そのため、1フレーム時間内でデータ書き込みを行ったのでは、TL-AFLCが十分に応答できず、所定の透過率が得られないことになる。

【0005】所定の透過率を得ようとする、1フレームのみではなく、数フレームにわたってデータ書き込み

を行わなければならないが、その場合、LCD全体で見ると応答時間が実質的に長くなることになる。例えば、5フレームにわたって書き込みを行うとすると、実質的な応答時間は $16\text{ msec} \times 5 = 80\text{ msec}$ となり、TL-AFLCを使用している、結局のところ、TN-LCDの応答時間と同等になってしまう。動画残像を生じさせないために、理想的には1フレーム時間内で書き込みを完了する必要があるが、この駆動方法では数フレームにわたって書き込みを行わなければならないために動画残像が生じるのである。つまり、TL-AFLCを用いたLCDでは、せっかく液晶材料自身の応答速度が速くても、駆動時の実質的な応答速度は他の液晶の場合と同等になってしまい、TL-AFLCの応答速度の速さを全く生かすことができない。そこで、TL-AFLCを用いたLCDに最適な駆動方法の提供が求められていた。

【0006】本発明は、上記の課題を解決するためになされたものであって、TL-AFLC自身が持つ応答速度の速さを生かし得る駆動回路を備えた液晶表示装置とその駆動方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1の液晶表示装置は、複数の信号線と複数の走査線とがマトリクス状に配設されて複数の画素が構成されたアクティブマトリクス基板と対向基板との間に反強誘電性液晶が挟持され、前記複数の信号線を駆動する信号線駆動手段と、前記複数の走査線を駆動する走査線駆動手段と、前記複数の走査線のうちの一走査線上の全画素に映像信号を書き込むに際し、前記一走査線上の全画素に映像信号を書き込む一水平期間以前であって該一水平期間と時間的に連続する複数の一水平期間にわたって、前記一走査線に隣接し前記一水平期間以降に映像信号が書き込まれる複数の走査線上の全画素に対してこれら全画素に印加されている電圧を書き込み前に予めリセットしておくためのリセット電圧を印加するリセット電圧印加手段とを具備した駆動回路を有することを特徴とするものである。

【0008】本発明の第2の液晶表示装置は、複数の信号線と複数の走査線とがマトリクス状に配設されて複数の画素が構成されたアクティブマトリクス基板と対向基板との間に反強誘電性液晶が挟持され、前記複数の信号線を駆動する信号線駆動手段と、前記複数の走査線を駆動する走査線駆動手段と、前記複数の走査線のうちの一走査線上の全画素に映像信号を書き込むに際し、前記一走査線上の全画素に映像信号を書き込む一水平期間以前であって該一水平期間と時間的に離間した複数の一水平期間にわたって、前記一走査線と離間し前記一水平期間以降に映像信号が書き込まれる複数の走査線上の全画素に対してこれら全画素に印加されている電圧を書き込み前に予めリセットしておくためのリセット電圧を印加す

るリセット電圧印加手段とを具備した駆動回路を有することを特徴とするものである。

【0009】走査線を上から下に順次走査するとともに1走査線毎に信号を供給する、いわゆる線順次駆動方式の液晶表示装置の場合、1フレーム時間を走査線数で割った時間が1走査線あたりの駆動時間（1水平期間、1H期間）となり、1フレーム時間中に余分な時間はない。これに対して、信号線駆動手段（ソースドライバ）に信号を書き込む際には余分な時間がある。信号線駆動手段のクロック信号には、通常、1水平期間内に信号線の本数以上の数のパルスが含まれており、実際の信号線の本数分のデータ書込が完了した後、わずかな時間（一例として、パルス数で言えば、1水平期間の全パルス数の10%程度に相当する時間）が帰線期間として余っている。

【0010】そこで、本発明者らは、信号線駆動手段への信号書込時に1水平期間毎に余った時間が存在することに着目し、この時間を利用して液晶に印加した電圧を予めリセットしておき、リセット後、書き込みを行えば（電圧を印加すれば）、液晶が印加電圧に十分に応答できることに想到した。なお、ここで言う「リセット」とは、液晶への印加電圧を無印加状態とすることを意味する。したがって、リセット電圧とは0Vのことである。

【0011】ところが、電圧印加状態から無印加状態にリセットする場合にも液晶の応答時間が必要であるから、1水平期間内のわずかな余剰時間だけではリセット電圧を印加する時間として不充分であり、完全なリセット状態にならない。そこで、画面上の複数の走査線のうちの任意の一走査線に着目した際に、本発明の第1の液晶表示装置の駆動回路では、前記一走査線上の全画素に映像信号を書き込む1水平期間以前であってこの1水平期間と時間的に連続する複数の1水平期間にわたって、前記一走査線の走査方向後段側に隣接する複数の走査線上の全画素に対してリセット電圧を印加するようにした。また、本発明の第2の液晶表示装置の駆動回路では、前記一走査線上の全画素に映像信号を書き込む1水平期間以前であってこの1水平期間と時間的に離間した複数の1水平期間にわたって、前記一走査線と離間した複数の走査線上の全画素に対してリセット電圧を印加するようにした。

【0012】いずれにしても、1水平期間内のリセット電圧印加時間はわずかであっても、複数の1水平期間にわたってリセット電圧を印加することによって、充分なリセットを行うことが可能になる。完全なリセットが行われると、リセット後、各画素へのデータ書き込み時には印加電圧が0Vの状態から正または負の電圧の方向に印加が開始されることになるため、液晶の応答時間を短縮することができる。図7を用いて説明すると、従来の駆動方法では、印加電圧を $+V_1$ から $-V_1$ まで反転させると、V字状の矢印Y1、Y2の経路をたどって液晶

が応答していたため、応答時間が長くなっていた。これに対して、本発明では、リセットを行うことで電圧印加が0Vから開始するため、V字の片側のみの矢印Y2の経路をたどって液晶が応答すればよく、応答時間をほぼ半減することが可能になる。

【0013】なお、複数の走査線にリセット電圧を印加する場合、同時にリセット電圧を印加する走査線の本数は、 $\tau_{\text{off}}/\tau_{\text{reset}}$ の整数倍とすることが望ましい。ここで、 τ_{off} は応答速度の最も遅い階調の立ち下がり時間、 τ_{reset} はリセット電圧の印加時間である。同時にリセット電圧を印加する最大の走査線本数は、1/2フレームに相当する本数である。なぜならば、1/2フレーム分を超えると、使用者が画面の連続性を感じにくくなり、かつ画面が暗くなるため、好ましくないからである。

【0014】また、上記本発明の第2の液晶表示装置にあっては、前記リセット電圧印加手段において、一走査線上の全画素に対するリセット電圧の印加を開始してから終了するまでのリセット時間と一走査線上の全画素に対してリセット電圧の印加が終了してから映像信号の書き込みが開始するまでの待ち時間との和を、1フレーム時間の1/2以下に設定することが望ましい。つまり、本発明の第2の液晶表示装置のように書き込みを行う走査線とは離れた走査線でリセットを行う場合、いくら離れてもよいというわけではなく、ある程度の目安がある。リセット電圧を印加するということは、その走査線上の全画素の表示を消去することになるので、上記リセット時間と待ち時間との和が1/2フレーム分の時間を超えると、使用者が画面の連続性を感じにくくなり、かつ画面が暗くなるため、好ましくない。

【0015】本発明の液晶表示装置の駆動方法は、複数の信号線と複数の走査線とがマトリクス状に配設されて複数の画素が構成されたアクティブマトリクス基板と対向基板との間に反強誘電性液晶が挟持された液晶表示装置を駆動する方法であって、前記複数の走査線のうちの一走査線上の全画素に映像信号を書き込むに際し、前記一走査線上の全画素に映像信号を書き込む一水平期間以前の複数の一水平期間にわたって、前記一水平期間以降に映像信号が書き込まれる複数の走査線上の全画素に対してリセット電圧を印加して前記全画素に印加されている電圧を予めリセットし、ついで、前記リセット電圧が印加された一走査線上の全画素に対して、使用する液晶材料で決まる階調電圧の1.5倍以上の駆動電圧を印加して前記映像信号の書き込みを行うことを特徴とするものである。

【0016】上述したように、本発明の液晶表示装置の駆動回路によって、液晶の応答時間を短縮することができる。ところが、液晶の種類や液晶表示装置の種々の条件によっては、応答時間の短縮がまだ不十分であり、書き込み時間より液晶の応答時間の方が長く、1フレーム

内で書き込みができない場合がある。その場合、書き込み電圧を高くすることによって応答時間をより短縮することができる。なぜならば、一般に液晶の応答時間 τ は、

$$\tau \propto 1 / (P_s \cdot E) \quad \cdots \cdots (1)$$

という関係にあるからである。ただし、 P_s は液晶の自発分極、 E は印加電界、である。

【0017】なお、液晶表示装置では、液晶のV-T曲線（電圧-透過率特性曲線）に基づき、所望の階調数に応じて各階調電圧が設定されるが、このV-T曲線が液晶材料によって異なることから、その液晶表示装置で使用する液晶材料によって階調電圧が決定されることになる。上記「使用する液晶材料で決まる階調電圧」とは、このような意味である。

$$\tau \propto d / (P_s \cdot V) \quad \cdots \cdots (2)$$

となる。ただし、 d は基板間ギャップ（液晶層の厚み）、 V は印加電圧である。したがって、(2)の関係から、基板間ギャップを小さくしても、応答時間を短縮することができる。

【0019】

【発明の実施の形態】[第1の実施の形態]以下、本発明の第1の実施の形態を図1ないし図4を参照して説明する。図1は、本実施の形態の液晶表示装置のセルの断面構造を示す図である。図1に示すように、TFTアレイを有するアクティブマトリクス基板1と対向基板2が対向配置され、これら基板1、2間にスレッシュホルドレス反強誘電性液晶3(TL-AFLC)が封入されている。アクティブマトリクス基板1側は、透明基板4上に透明電極5、配向膜6が順次設けられている。同様に、対向基板2側も、透明基板7上に透明電極8、配向膜9が順次設けられている。そして、両基板1、2の外面には偏光板10、11がそれぞれ設けられている。本実施の形態の場合、透明基板4、7に6インチ角のソーダガラス基板、透明電極5、8にITO膜、配向膜6、9にRN1286（商品名、日産化学社製）、偏光板10、11にAGK20（商品名、サンリツ社製）、液晶3にMX-X532（商品名、三菱ガス化学社製）が用いられている。

【0020】図2は、駆動回路を含めた本実施の形態の液晶表示装置の全体構成を示すブロック図である。このブロック図の駆動回路12の中で、同期分離回路13、ローパスフィルター14（以下、LPFと記す）、アンプ回路15（以下、AMPと記す）、A/Dコンバーター16（以下、A/Dと記す）、位相同期回路17（以下、PLLと記す）、プログラマブル・ロジック・デバイス18（以下、PLDと記す）、ソースドライバ19（信号線駆動手段）、ゲートドライバ20（走査線駆動手段）に関しては、従来と同様の構成要素である。そして、本装置の特徴点は、駆動回路12中にリセット

用ソースドライバー21（リセット電圧印加手段）、およびリセット用ゲートドライバー22（リセット電圧印加手段）を具備したことである。

【0021】次に、上記構成の駆動回路12の動作を説明するが、本実施の形態では、画面上の任意の1ゲート線（走査線）上の全面素に映像信号を書き込むにあたって、そのゲート線に書き込む1水平期間と時間的に連続する4つの1水平期間にわたって、そのゲート線に隣接する4本のゲート線に対してリセット電圧を印加する場合を例に挙げて説明する。図4は各種信号のタイミングチャートである。

【0022】(1) 映像信号（R、G、B）は、同期分離回路13（Gのみ）、LPF14、AMP15を順次通り、A/Dコンバーター16によりA/D変換された後、PLD18で所定のデータ演算が行われ、ソースドライバー19に供給される。

【0023】(2) 同期分離回路13の出力信号である垂直同期信号（VD）、水平同期信号（HD）を基にしてPLL17により基準クロック（CLK）が発生され、その基準クロックがPLD18に入力され、PLD18においてその基準クロックを基に各種タイミング信号が発生される。ここでは、PLD18が、内部で発生させたアウトプットイネーブル信号（OE）のパルスの“ON”のタイミングに同期させて、内部で発生させたリセット用ソースドライバー21を駆動する駆動信号（SD-R）をリセット用ソースドライバー21に出力する。なお、OE信号については、スタートパルス信号（ST-R）が出力された後、1水平期間（1H期間）の中でデータ書き込みが完了した後のわずかな時間がOE時間となる。

【0024】(3) 前記駆動信号SD-Rを受けてリセット用ソースドライバー21により「0」のデータが全てのソース線に出力され、それと同時に、リセット用ゲートドライバー22により第1番目のゲート線に対するリセット用パルス信号（G1-R）が第1番目のゲート線に出力される。

【0025】(4) リセット用ゲートドライバー22によりG1-R、G2-R（第2番目のゲート線に対するリセット用パルス信号）が各ゲート線に出力され、次に、G1-R、G2-R、G3-R（第3番目のゲート線に対するリセット用パルス信号）が各ゲート線に出力され、次に、G1-R、G2-R、G3-R、G4-R（第4番目のゲート線に対するリセット用パルス信号）が各ゲート線に出力される。この時に到り、第1～第4番目のゲート線の4ラインが同時にリセットされることになる。またこの時、(2)のステップと同様に、リセット用ソースドライバー21では「0」のデータが全てのソース線に同時に出力される。

【0026】図3は、リセット用ゲートドライバー22内部の回路構成を示すブロック図である。これを用いて

リセット用ゲートドライバー22の動作の部分を中心に詳しく説明する。

【0027】① プリセットカウンタ24でプリセット数（同時にリセットを行うゲート線の本数）nを設定する。ここでは、D4を選択（n=4）する。

【0028】② フリップフロップ25（以下、F/Fと記す）のSに入力されたスタートパルス信号（ST-R）の“ON”のタイミングに同期させ、また、Rに入力されたプリセットカウンタ24の出力（C、O）により生成した信号Qを、シフトレジスタ26に出力する。

【0029】③ シフトレジスタ26が、n=4のパルスがクロックの1パルス分ずつタイミングがずれた信号S1、S2、S3、…、Snを生成し、出力ドライバー27に出力する。

【0030】④ 出力ドライバー27が、信号S1、S2、S3、…、Snが“ハイ”の期間であって、かつ別途入力されたOE信号のパルスの“ハイ”の期間のみ立ち上がるパルスを有するリセット信号G1-R、G2-R、G3-R、…、Gn-Rを生成し、各ゲート線に順次出力する。これにより、各ゲート線上の全面素のTF-Tが“ON”となり、リセット用データ「0」が書き込まれる。このような動作により、リセットが行われる。

【0031】(5) 第1番目のゲート線については、(4)までのステップでリセット動作は終了し、以下、データの書き込み動作となる。リセット数n=4の時には、この時点で、PLDが生成する書き込みデータのスタートパルス信号ST-Dが“ハイ”となり、この信号がソースドライバー19およびゲートドライバー20に出力される。

【0032】(6) ソースドライバー19は、スタートパルス信号ST-Dを受けて、OE信号の立ち下りのタイミングに同期して立ち上がり、OE信号の立ち上がりのタイミングに同期して立ち下るパルスを有する映像信号（SD-D）を生成し、全てのソース線に出力する。

【0033】(7) ゲートドライバー20は、スタートパルス信号ST-Dを受けて、OE信号の立ち下りのタイミングに同期して立ち上がり、OE信号の立ち上がりのタイミングに同期して立ち下るパルスを有する駆動信号（G1-D）を生成し、第1番目のゲート線に出力する。

【0034】(8) リセット用ソースドライバー21を“ON”状態とし、リセット用ゲートドライバー22からの信号G1-R～Gn-Rの出力対象とするゲート線を下方に1ライン進めた上でリセット用ゲートドライバー22からゲート線にリセット信号を出力する。具体的に、次のステップでは、G2-R、G3-R、G4-R、G5-Rの出力対象である第2～第5番目のゲート線が同時にリセットされることになる。

【0035】(9) ソースドライバー19がスタートパルス信号ST-Dを受けて映像信号SD-Dを全ソース線に出力する一方、ゲートドライバー20が駆動信号の出力対象とするゲート線を下方に1ライン進めて、駆動信号G2-Dを第2番目のゲート線に出力する。

【0036】(10) 以下、(8)、(9)のステップを繰り返して、ゲートドライバー20が駆動信号Gn-Dを第n番目のゲート線に出力し、全ゲート線上の全画素の書き込みが完了した時点で1フレームが終了する。ただし、第n番目のゲート線上の画素への書き込みが完了した時点では、再び第1～第4番目のゲート線上の画素がリセットされている。

【0037】また本実施の形態の場合、TL-AFLC液晶3への印加電圧を、使用する液晶材料で決まる階調電圧の1.5倍である0～6Vの範囲とし、1ゲート線あたりの電圧印加時間(書き込み時間)を16μsecとし、両基板1、2の配向膜6、9間のギャップを従来の2μmから1.5μmに低減した。

【0038】本実施の形態の液晶表示装置においては、画面上の任意の1ゲート線にデータ書き込みを行う場合、当該ゲート線に書き込みを行う以前の4つの1水平期間にわたって、当該ゲート線上の全画素にデータ

「0」を書き込むことでリセットを行っているため、各1水平期間のリセット時間はわずかであっても、全体として充分なりセットを行うことができる。これにより、液晶の応答時間を大きく短縮することができる。また、液晶材料への印加電圧を液晶材料で決まる階調電圧の1.5倍とし、セルギャップを低減したことにより、液晶の応答時間を10～20μsec程度にまで短縮することができる。その結果、TL-AFLC自体が持つ応答時間に近付けることができるため、TL-AFLCの応答速度の速さを生かすことができ、従来では得られなかった高速応答で動画残像のない液晶表示装置を実現することができる。

【0039】[第2の実施の形態] 以下、本発明の第2の実施の形態を図2、図5、図6を参照して説明する。第1の実施の形態では時間的に隣接する複数の1水平期間にわたって隣接する複数のゲート線に対してリセットをかける例を説明したが、本実施の形態では時間的に離間した複数の1水平期間にわたって離間した複数のゲート線に対してリセットをかける例について説明する。本実施の形態の液晶表示装置の全体構成は第1の実施の形態(図2に示す)と同一であるため、説明を省略し、第1の実施の形態と構成が異なるリセット用ゲートドライバーの構成とその動作について以下、説明する。

【0040】図5は本実施の形態のリセット用ゲートドライバー30の構成を示すブロック図であり、図6は各種信号のタイミングチャートである。本実施の形態では、画面上の任意の1ゲート線(走査線)上の全画素に映像信号を書き込むにあたって、そのゲート線に書き込

む1水平期間の6つ前の1水平期間から始まり、2つの1水平期間でリセット電圧を印加し、1水平期間においてさらに2つの1水平期間でリセット電圧を印加し、1水平期間においてデータ書き込みを行う場合を例に挙げて説明する。

【0041】(1) 映像信号(R、G、B)は、同期分離回路13(Gのみ)、LPF14、AMP15を順次通り、A/Dコンバーター16によりA/D変換された後、PLD18で所定のデータ演算が行われ、ソースドライバー19に供給される。

【0042】(2) 同期分離回路13の出力信号である垂直同期信号(VD)、水平同期信号(HD)を基にしてPLL17が基準クロック(CLK)を発生し、そのクロックがPLD18に入力され、PLD18がそのクロックを基に各種タイミング信号を発生する。ここでは、PLD18が、内部で発生させたアウトプットイネーブル信号(OE)のパルスの「ON」のタイミングに同期させて、内部で発生させたリセット用ソースドライバー21を駆動する駆動信号(SD-R)をリセット用ソースドライバー21に出力する。

【0043】(3) 前記駆動信号SD-Rを受けてリセット用ソースドライバー21が「0」のデータを全てのソース線に出力し、それと同時に、リセット用ゲートドライバー30が第1番目のゲート線に対するリセット用パルス信号(G1-R)をゲート線に出力する。

【0044】(4) リセット用ゲートドライバー30がG1-R、G2-Rをゲート線に出力し、次に、G1-R、G2-R、G3-Rをゲート線に出力し、次に、G1-R、G2-R、G3-R、G4-Rをゲート線に出力し、次に、G1-R、G2-R、G3-R、G4-R、G5-Rをゲート線に出力する。この時点で、第1、第2、第4、第5番目のゲート線の4ラインが同時にリセットされることになる。またこの時、(2)のステップと同様に、リセット用ソースドライバー21は「0」のデータを全てのソース線に同時に出力する。

【0045】ここで、図5を用いてリセット用ゲートドライバー30の動作の部分さらに詳しく説明する。

【0046】① スタートパルス信号ST-RによりF/F31をセットし、その出力Qでプリセットカウンタ32とROM33(リセット順番設定用ROM)のリセットを解除して、リセット用ゲートドライバー30のリセットを開始する。

【0047】② リセットの順番(この例で言えば、2つの1水平期間で連続してリセットし、1水平期間あけて2つの1水平期間で連続してリセットするといった順番)をROM33に記憶させておく。具体的には、リセット有りをデータ「1」、リセット無しをデータ「0」に割り当て、この例のリセット順を「1」、「1」、「0」、「1」、「1」と記憶させる。

【0048】③ プリセットカウンタ32の出力Qn

によりROM33の出力端子D1からデータ「11011」を出力し、そのデータをシフトレジスタ34の入力端子D2に入力する。

【0049】④ プリセットカウンタ32でプリセット数 n を設定しておく。ここでは、 $n=5$ （リセットするライン数（4）+リセットしないライン数（1））に設定しておき、C、Oの出力でF/F31をリセットして決定する。

【0050】⑤ シフトレジスタ34が、 $n=5$ のパルスがクロックの1パルス分ずつタイミングがずれた信号S1、S2、S3、…、Snを生成し、出力ドライバー35に出力する（図6のタイミングチャートでの図示は省略）。

【0051】⑥ 出力ドライバー35が、信号S1、S2、S3、…、Snが“ハイ”の期間であって、かつ別途入力されたOE信号のパルスの“ハイ”の期間のみ立ち上がるパルスを有するリセット信号G1-R、G2-R、G3-R、…、Gn-Rを生成し、各ゲート線に順次出力する。これにより、各ゲート線上の全画素のTF Tが“ON”となり、リセット用データ「0」が書き込まれる。

【0052】（5） 第1番目のゲート線については、（4）までのステップでリセット動作は終了し、次の1水平期間はリセット状態を保持した後、次の1水平期間でデータの書き込み動作を行う。この時点で、PLD18が生成する書き込みデータのスタートパルス信号ST-Dが“ハイ”となり、この信号をソースドライバー19およびゲートドライバー20に出力する。

【0053】（6） ソースドライバー19は、スタートパルス信号ST-Dを受けて、OE信号の立ち下りのタイミングに同期して立ち上がり、OE信号の立ち上がりのタイミングに同期して立ち下がるパルスを有する映像信号（SD-D）を生成し、全てのソース線に出力する。

【0054】（7） ゲートドライバー20は、スタートパルス信号ST-Dを受けて、OE信号の立ち下りのタイミングに同期して立ち上がり、OE信号の立ち上がりのタイミングに同期して立ち下がるパルスを有する駆動信号（G1-D）を生成し、第1番目のゲート線に出力する。その一方、この1水平期間では、G3-R、G4-R、G6-R、G7-Rのパルスが立ち上がっているため、第3、第4、第6、第7番目のゲート線にリセット電圧が印加されたことになる。すなわち、第1番目のゲート線上の全画素で書き込みが行われる際には、そのゲート線と隣接した第3、第4、第6、第7番目のゲート線上の全画素でリセットが行われている。

【0055】（8） リセット用ソースドライバー21を“ON”状態とし、リセット用ゲートドライバー30からの信号G1-R～Gn-Rの出力対象とするゲート線を下方に1ライン進めた上で、リセット用ゲートドラ

イバー30からゲート線にリセット信号を出力する。

【0056】（9） ソースドライバー19がスタートパルス信号ST-Dを受けて映像信号SD-Dを全ソース線に出力する一方、ゲートドライバー20が駆動信号の出力対象とするゲート線を下方に1ライン進めて、駆動信号G2-Dを第2番目のゲート線に出力する。

【0057】（10） 以下、（8）、（9）のステップを繰り返し、ゲートドライバー20が駆動信号Gn-Dを第 n 番目のゲート線に出力し、全ゲート線上の全画素の書き込みが完了した時点で1フレームが終了する。

【0058】本実施の形態の液晶表示装置においても、画面上の任意の1ゲート線にデータ書き込みを行う場合、当該ゲート線に書き込みを行う以前の4つの1水平期間でリセットを行っているため、全体として充分なりセットを行うことができ、液晶の応答時間を大きく短縮することができる。本実施の形態の場合、リセットを行う4つの1水平期間は、第1の実施の形態のように時間的に連続しておらず、2つの1水平期間でリセット、1水平期間は保持、2つの1水平期間でリセット、1水平期間は保持、データ書き込みという過程をとる。しかしながら、リセット電圧の印加が終了してから映像信号の書き込みが開始するまでの待ち時間が1水平期間のみと短いため、使用者が画面の連続性を感じにくくなり、画面が暗くなったりする不具合がない。

【0059】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば上記実施の形態で具体的に示したリセット電圧を同時に印加するゲート線の数、電圧印加時間、書き込み電圧、さらには液晶表示装置の具体的構成等に関しては、適宜変更が可能なことは勿論である。

【0060】

【発明の効果】以上、詳細に説明したように、本発明によれば、液晶表示画面の任意の走査線上の画素にデータ書き込みを行う場合、当該走査線に書き込みを行う以前の複数の1水平期間にわたってリセットを行うため、従来に比べて液晶の応答時間を大幅に短縮することができる。したがって、TL-AFLCのような液晶材料自体が持つ応答速度の速さを生かすことができ、従来では得られなかった高速応答で動画残像のない液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態の液晶表示装置のセル構造を示す断面図である。

【図2】 同、液晶表示装置の全体構成を示すブロック図である。

【図3】 第1の形態の液晶表示装置のリセット用ゲートドライバーの構成を示すブロック図である。

【図4】 第1の形態の液晶表示装置の駆動方法を説明するためのタイミングチャートである。

【図5】 第2の形態の液晶表示装置のリセット用ゲートドライバーの構成を示すブロック図である。

【図6】 第2の形態の液晶表示装置の駆動方法を説明するためのタイミングチャートである。

【図7】 TL-AFLCの電圧-透過率曲線を示す図である。

【符号の説明】

- 1 アクティブマトリクス基板
- 2 対向基板

3 スレッシュホールドレス反強誘電性液晶

12 駆動回路

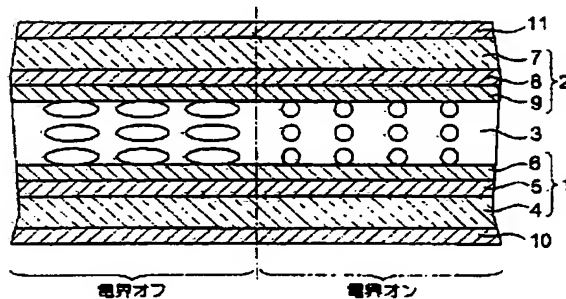
19 ソースドライバー（信号線駆動手段）

20 ゲートドライバー（走査線駆動手段）

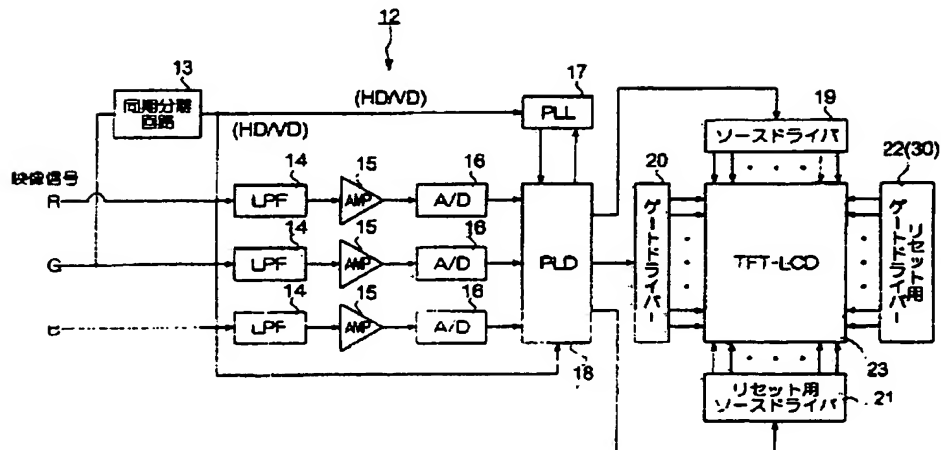
21 リセット用ソースドライバー（リセット電圧印加手段）

22, 30 リセット用ゲートドライバー（リセット電圧印加手段）

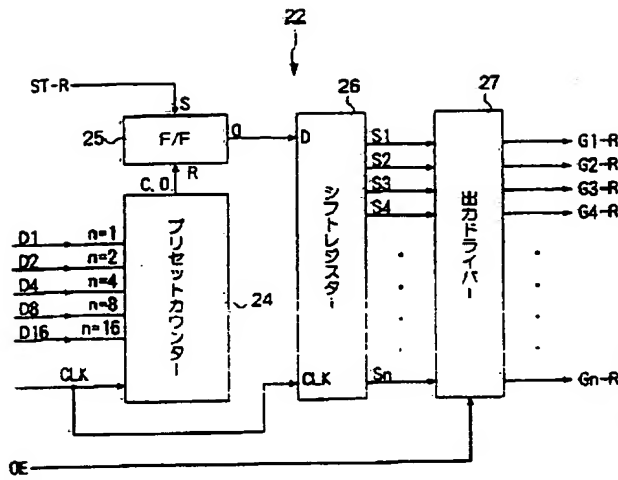
【図1】



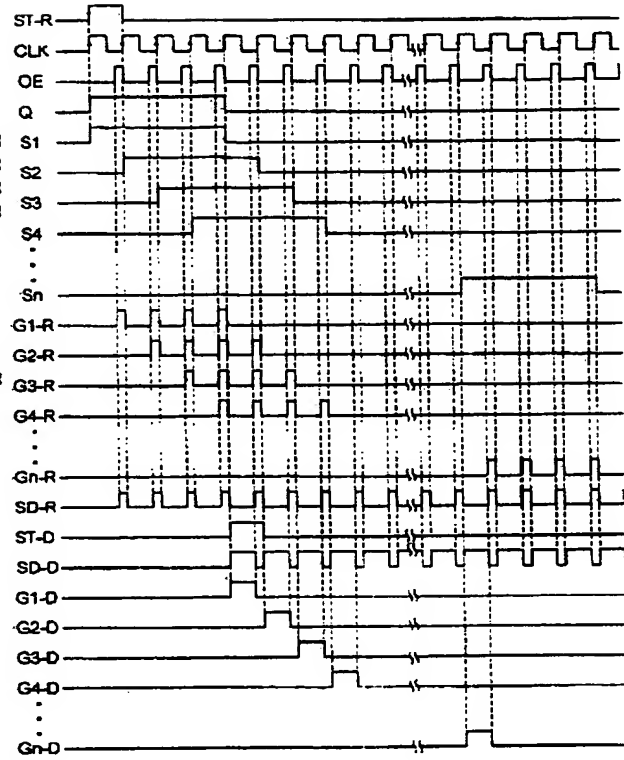
【図2】



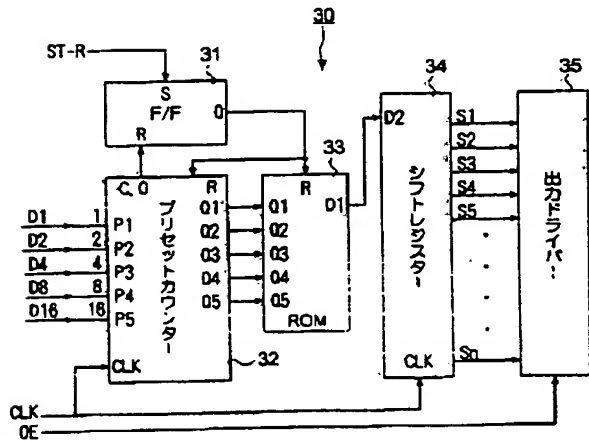
【図3】



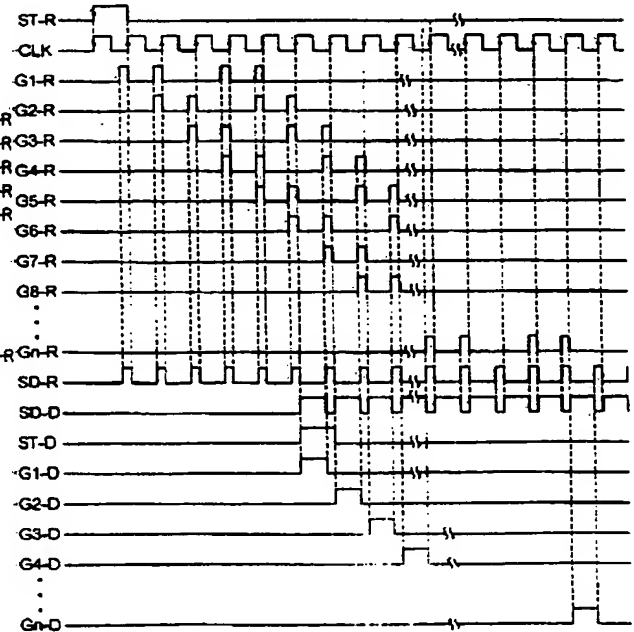
【図4】



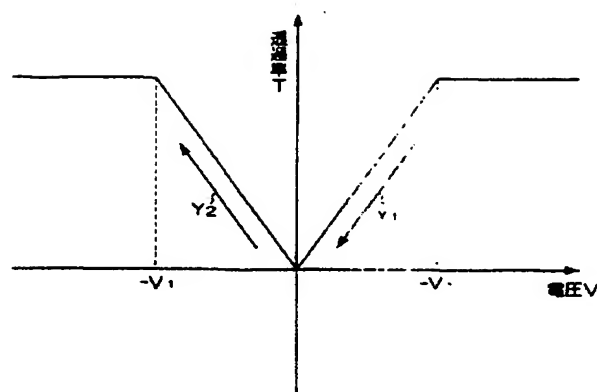
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 伊藤 直樹
東京都大田区雪谷大塚町1番7号 アルプ
ス電気株式会社内

Fターム(参考) 2H088 EA03 GA04 HA06 JA20 MA10
2H093 NA13 NA16 NA51 NA61 NC21
NC22 NC24 NC34 ND32 NF20
5C006 AA01 AA22 AC28 AF44 AF71
AF81 BA13 BB16 BF03 BF06
BF21 BF22 BF25 BF26 FA11
5C080 AA10 BB05 CC03 DD08 EE30
FF11 JJ02 JJ04 JJ06